

TK8610 无线终端芯片

硬件设计指南

V1.0



造生物联
TAOLINK TECHNOLOGIES

修订记录

| 修订时间 | 修订版本 | 修订描述 |
|------------|------|------|
| 2023-03-28 | V1.0 | 初始版本 |
| | | |
| | | |

重要声明

版权所有 © 上海道生物联技术有限公司 2023。保留一切权利。

非经本公司书面许可，任何单位和个人不得对此文档的全部或部分内容进行使用、复制、修改、抄录，并不得以任何形式传播。

TurMass™ 为上海道生物联技术有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

上海道生物联技术有限公司保留随时变更、订正、增强、修改和改良此文档的权利，本文档内容可能会在未提前知会的情况下不定期进行更新。

除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议都依赖于具体的操作环境，并且不构成任何明示或暗示的担保。

联系方式

地址：上海嘉定皇庆路 333 号上海智能传感器产业园区 4 幢 5 层

邮编：201899

电话：021-61519850

邮箱：info@taolink-tech.com

网址：www.taolink-tech.com

目录

| | |
|---------------------|----|
| 1 TK8610 芯片简介 | 1 |
| 2 关键电路设计 | 2 |
| 2.1 电源电路 | 2 |
| 2.1.1 VBAT 输入 | 2 |
| 2.1.2 数字电源 | 2 |
| 2.1.3 射频电源 | 2 |
| 2.2 复位电路 | 4 |
| 2.3 时钟电路 | 4 |
| 2.4 射频电路 | 5 |
| 2.4.1 接收电路 | 5 |
| 2.4.2 发射电路 | 5 |
| 2.4.3 收发切换电路 | 6 |
| 2.5 BG 基准电路 | 7 |
| 2.6 JTAG 电路 | 7 |
| 2.7 其他管脚连接 | 7 |
| 3 PCB 设计准则 | 8 |
| 3.1.1 电路板材 | 8 |
| 3.1.2 叠层设计 | 8 |
| 3.1.3 传输线 | 9 |
| 3.1.4 回路和去耦 | 9 |
| 3.1.5 寄生电容 | 10 |
| 4 元器件选择 | 11 |
| 4.1 电容器 | 11 |
| 4.2 电感器 | 11 |
| 4.3 晶振 | 12 |
| 4.4 射频开关 | 12 |
| 4.5 电源芯片 LDO | 13 |
| 5 参考设计 | 14 |
| 5.1 参考原理图 | 14 |
| 5.2 参考 BOM | 16 |
| 5.3 参考 PCB 布局 | 18 |

图形目录

| | |
|-------------------------|---|
| 图 1-1 TK8610 芯片外观 | 1 |
| 图 1-2 TK8610 功能框图 | 1 |

| | | |
|-------|--------------------|----|
| 图 2-1 | 射频电源连接图 | 3 |
| 图 2-2 | LNA 电源 | 4 |
| 图 2-3 | 复位电路 | 4 |
| 图 2-4 | 时钟电路 | 5 |
| 图 2-5 | 接收前端电路 | 5 |
| 图 2-6 | 发射前端电路 | 6 |
| 图 2-7 | 收发切换电路 | 6 |
| 图 2-8 | JTAG 电路 | 7 |
| 图 3-1 | 板材参数 | 8 |
| 图 3-2 | PCB 各层分布图 | 8 |
| 图 3-3 | 单端外层 | 9 |
| 图 3-4 | 共面单端外层 | 9 |
| 图 3-5 | 去耦参考电路 | 10 |
| 图 4-1 | 等效电路示意图 | 11 |
| 图 5-1 | 参考原理图 1 | 14 |
| 图 5-2 | 参考原理图 2 | 15 |
| 图 5-3 | 参考原理图 3 | 16 |
| 图 5-4 | 参考 PCB 布局图 1 | 18 |
| 图 5-5 | 参考 PCB 布局 2 | 19 |

表目录

| | | |
|-------|------------------|----|
| 表 2-1 | VBAT 输入管脚 | 2 |
| 表 2-2 | 数字电源输入输出管脚 | 2 |
| 表 2-3 | 1.5V 电源连接 | 3 |
| 表 2-4 | 其他管脚连接 | 7 |
| 表 5-1 | 参考 BOM | 17 |

1 TK8610 芯片简介



图 1-1 TK8610 芯片外观

TK8610 芯片是一款集成射频、基带和应用 MCU 的低功耗无线收发 SoC 芯片，采用 TurMass™ 自有技术，实现传感器数据采集和无线收发，广泛应用于各种 LPWAN 应用场景。

TK8610 内置 32 位 RISC-V MCU，它可以独立完成传感器数据采集和无线收发，也可以通过 UART 接口与第三方 MCU 配合，作为无线收发模块使用，通过接收 AT 指令完成无线收发。

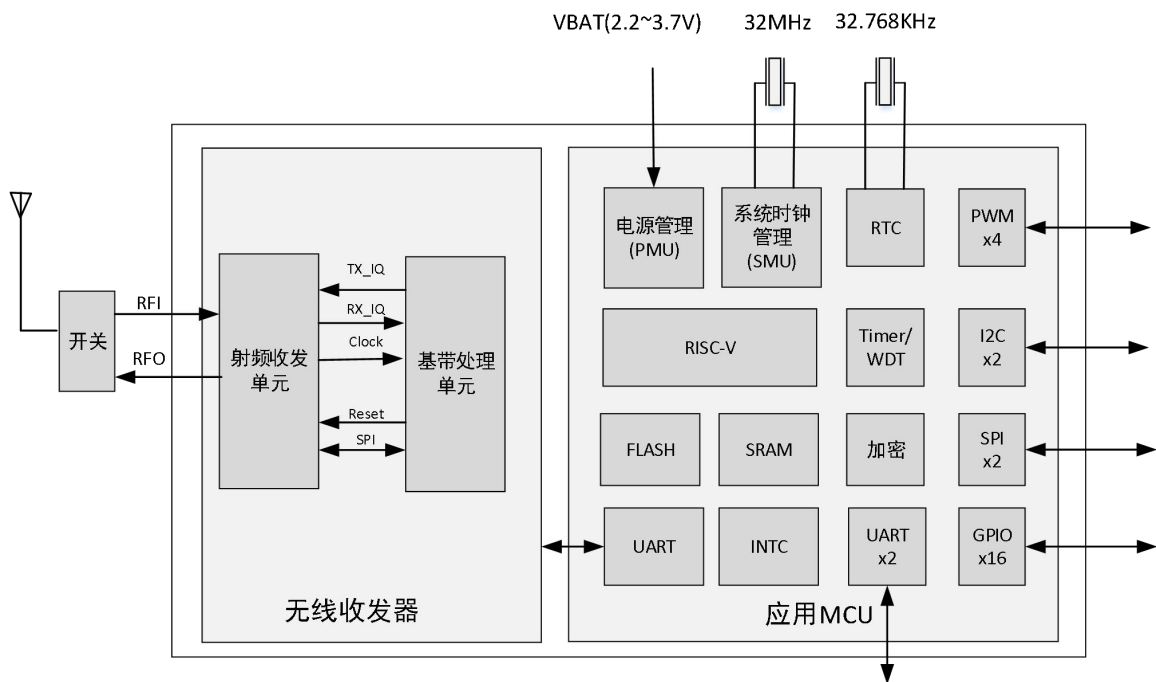


图 1-2 TK8610 功能框图

本文会详细介绍 TK8610 硬件电路特别是射频电路的基本设计要求。射频性能与电路设计、元器件选择、电路板布局布线都有十分重要的关系。

2 关键电路设计

2.1 电源电路

芯片供电电源按照功能可以分为三大类：VBAT、数字电源、射频电源。其中 VBAT 是芯片的统一外部供电电源输入源，输入范围 2.1 ~ 3.7V。芯片内部自带线性电源和 buck 电源，分别给数字和射频部分供电，需要通过芯片外部管脚进行互联，并保留足够的走线宽度和去耦电路。

2.1.1 VBAT 输入

芯片具有多个 VBAT 输入管脚，分别列出如下表：

| 输入管脚 | 信号名 | 推荐电容配置 |
|-------------|-------------|-------------------|
| PIN13、PIN80 | VBAT | 2.2uF x1、0.1uF x1 |
| PIN55、PIN59 | AVDD33_DPLL | 100pF x1、0.1uF x1 |
| PIN65、PIN67 | VBAT_DCDC | 10uF x1、2.2uF x1 |
| PIN68、PIN71 | VBATA | 2.2uF x1 |
| PIN69 | VBATBIAS | 0.1uF x1 |

表 2-1 VBAT 输入管脚

所有对应管脚都需要连接到芯片供电电源轨（外部 VBAT），且该电源轨上需要尽量增加去耦及输入电容。

2.1.2 数字电源

数字电源输入输出管脚对应关系入下表：

| 输出管脚 | 信号名 | 电压 | 输入管脚 |
|-------|------------|------|-------------------|
| PIN16 | DVDD | 1.2V | PIN49、PIN70、PIN83 |
| PIN72 | VDD18_FO | 1.8V | PIN18、PIN47、PIN48 |
| PIN73 | VDD18_XOSC | 1.8V | PIN23、PIN45 |
| PIN62 | VDD12_C1 | 1.2V | PIN50 |
| PIN61 | VDD12_C0 | 1.2V | PIN52 |
| PIN60 | DVDD_BBU | 1.2V | PIN54 |

表 2-2 数字电源输入输出管脚

所有数字电源输出需要具有 2.2uF 以上输出电容；在上表中电源输入管脚处，需要放置 0.1uF 去耦电容。

2.1.3 射频电源

TK8610 芯片内部自带 DC-DC 电源，射频电源为 1.5V，电路连接如下图所示：

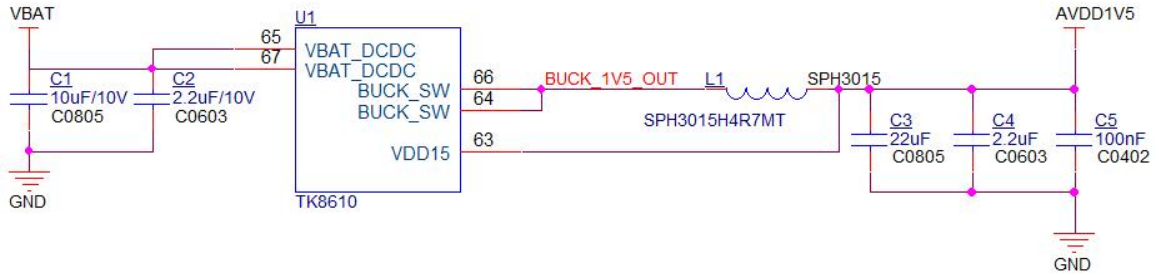


图 2-1 射频电源连接图

1.5V 电源需要连接如下电源管脚：

| 电源管脚 | 信号名 | 功能 | 去耦电容配置 |
|----------|------------|------------|----------------------------------|
| PIN24 | DVDD15 | 数字电路供电 | 0.1uF x1 |
| PIN27 | AVDD15_SX | 频率综合单元供电 | 100pF x1 |
| PIN28 | AVDD_HPDA | TX 数字部分供电 | 2.2uF x1 0.1uF x1 100pF x1 |
| PIN29 | AVDD_HPPA | 内部 PA 供电 | 2.2uF x1 0.1uF x1 100pF x1 |
| PIN33 | AVDD15_TX | TX 模拟部分供电 | 0.1uF x1 100pF x1 |
| PIN35 | AVDD15_RX | RX 模拟部分供电 | 0.1uF x1 100pF x1 |
| PIN43 | AVDD15_ABB | 1.5V_IO 供电 | 0.1uF x1 100pF x1 |
| PIN46 | AVDD15_DC | RX_LDO 供电 | 0.1uF x1 100pF x1 |
| RF_PA 电感 | PA 输出电感 | PA 输出供电 | 2.2uF x2 |

表 2-3 1.5V 电源连接

另外射频收发器内部 LNA，使用内部 LDO 供电，需要连接到 LNA 的输出电感，电源连接如下图，其中 C1 可根据工作频率选择为 NC；L1/L2 可根据工作频率选择合适大小，调节该电感值，会改变接收射频通路的特性。

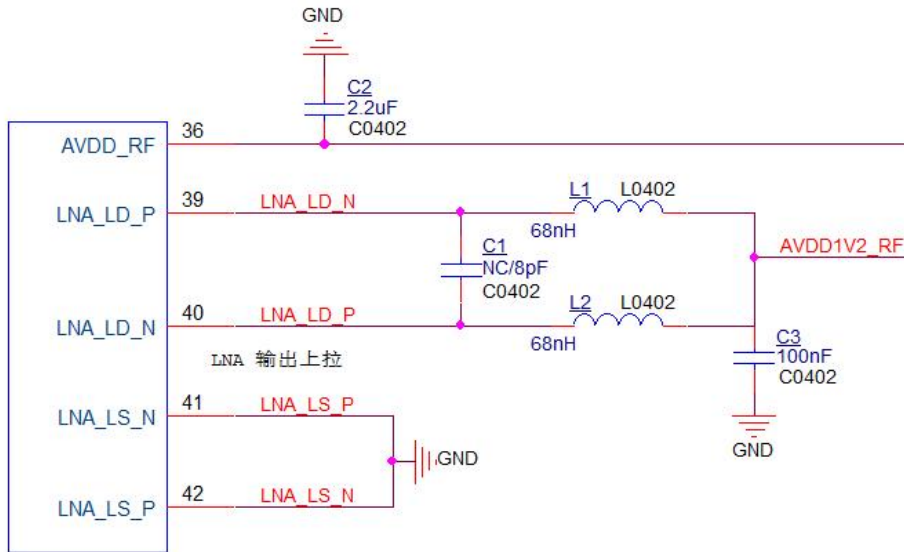


图 2-2 LNA 电源

2.2 复位电路

芯片的 PIN75 为外部低电平复位，可外接电容到地，或者使用 RC 复位，改变阻容值可改变复位时间，低电平宽度不小于 100us，如下图所示：

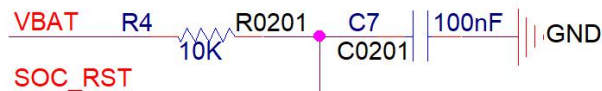


图 2-3 复位电路

2.3 时钟电路

TK8610 支持无源晶体或是有源晶振作为时钟源输入。当选择 32M 无源晶体时，谐振电容 C1/C2 需要根据对应产品手册的推荐值来选择。不合适的谐振电容值，会引起振荡频率和幅值的偏差。对于需要更高稳定度时钟的应用场景，用户可以使用 TCXO 有源晶振，并经过隔直电容后，输入到 32M 振荡器正端输入管脚 (XOSC32M_XTALP)。需要注意选择使用削顶正弦波输出的晶振 (0.8Vpp)。

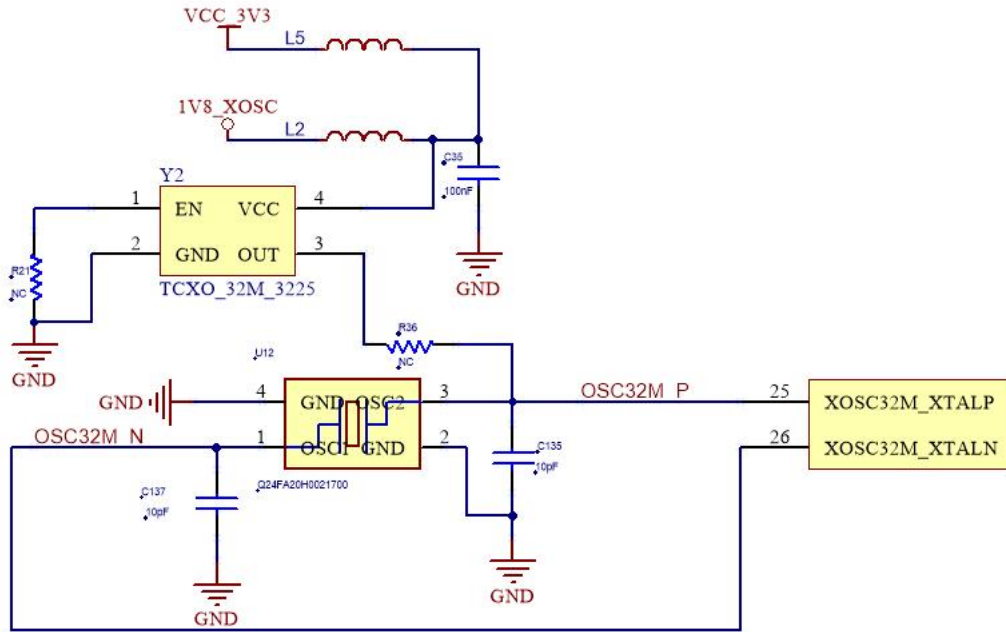


图 2-4 时钟电路

2.4 射频电路

接收电路和发射电路需要使用 Balun 进行单端/差分转换，Balun 参数对接收灵敏度和发射功率有较大影响。

2.4.1 接收电路

接收 Balun 推荐电路如下图所示，主要针对工作频段 470~510MHz；使用其它频段时，需要修改 Balun 参数，根据实测灵敏度进行调整选取最优值。

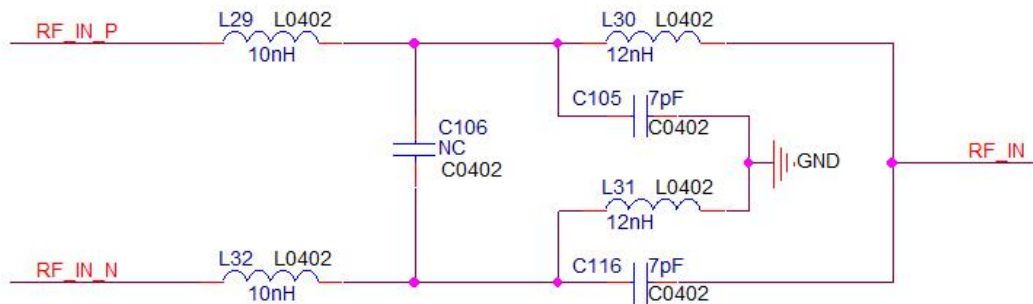


图 2-5 接收前端电路

2.4.2 发射电路

发射参考电路如下图所示，主要针对工作频段 470~510MHz。其它频段工作时，需要调节 Balun 参数及 PA 输出电感。

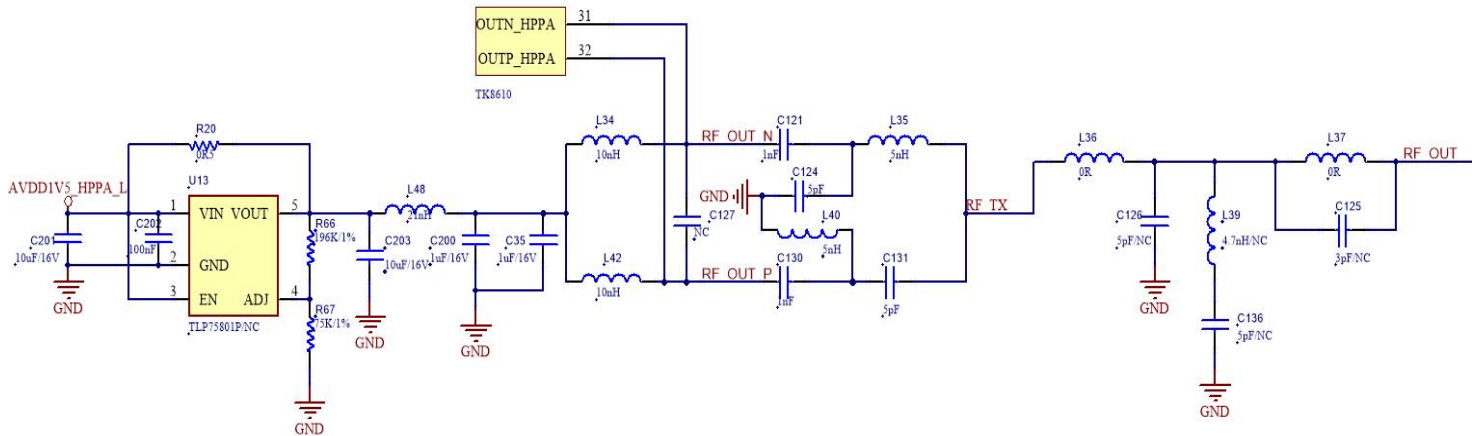


图 2-6 发射前端电路

- 1) R20 用于控制发射功率及发射滤波，改变阻值可以改变输出功率大小；U13 为选配，改变其输出电压可控制发射功率，一般情况下不需要；
- 2) C200/C35 为滤波电容，需要分别靠近 L34/L42 放置；
- 3) L34/L42 为 PA 输出电感；
- 4) C127 为输出匹配调节电容，可以 NC；
- 5) C121/C124/L35 和 C130/C131/L40 为输出 Balun，可根据工作频段调节，改变该参数对输出功率会有较大影响；
- 6) L36/L37 之间的电路为分离元件搭建的滤波电路，可根据实际情况调节工作频点，改善发射特性。

2.4.3 收发切换电路

收发切换电路推荐如下图所示，射频收发切换推荐使用芯片的 RF_CTRL0 和 RF_CTRL1 管脚：

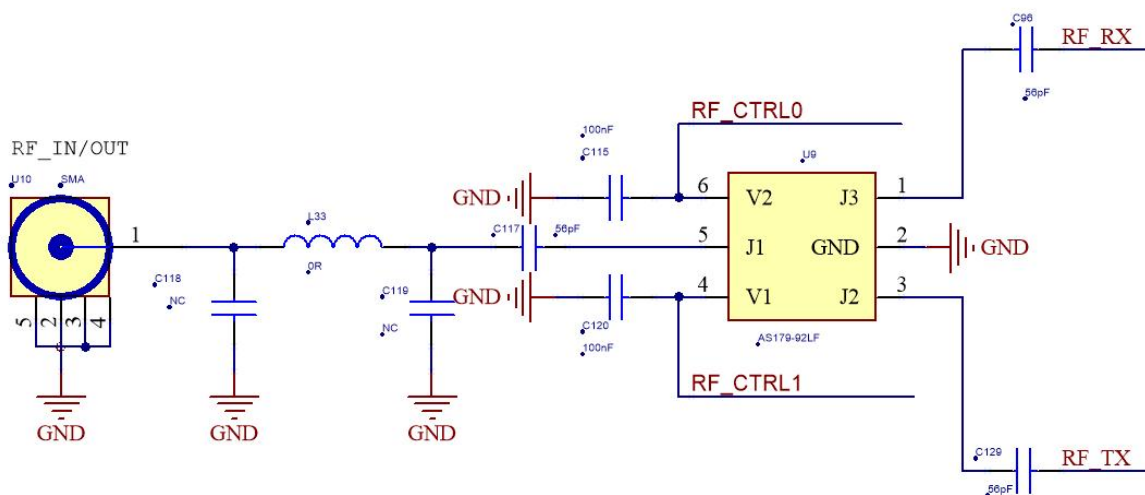


图 2-7 收发切换电路

其中 L105/C216/C217 为天线匹配调节电路，C96/C129/C117 为隔直电容。

2.5 BG 基准电路

芯片的 44 脚 TOP_DC_TP 需要连接 BG 基准参考电阻，使用 49.9K/1%精度的电阻连接到地，该电阻应尽量靠近芯片引脚放置。

2.6 JTAG 电路

JTAG 接口用于在线调试程序，标准 JTAG 连接方式如下图，R22/R23 可以选择 NC 以免影响休眠功耗。

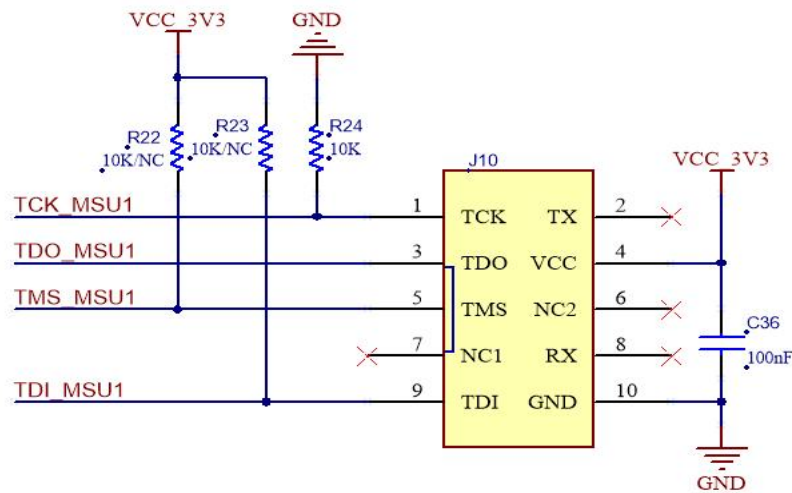


图 2-8 JTAG 电路

2.7 其他管脚连接

芯片有设置用管脚，需要固定连接，如下表：

| 管脚 | 信号名 | 连接方式 |
|-------|------------|---------------|
| PIN76 | TESTEN | 10K 电阻下拉到地 |
| PIN77 | LPCLK_SEL | 10K 电阻下拉到地 |
| PIN74 | PMU_RST_IN | 10K 电阻下拉到地 |
| PIN51 | PMU_LP_POR | 与 PIN53 脚直接连接 |

表 2-4 其他管脚连接

3 PCB 设计准则

3.1.1 电路板材

电路板材通常包括 FR-4、Rogers R04003 和 Roger RT/Duroid，它们具有不同的电气特性，板材常见的性能指标如下：

- 1) DF：材料的介质损耗角，越低信号传播损失越少；
- 2) DK：材料的介电常数，只有降低 DK 才能获得高的信号传播速度。

| 板材 | 典型介电常数 | 介电常数公差 | 典型耗散因数 |
|-----------|--------|-------------------|--------|
| FR-4 | 4 | +/- 5% -> +/- 25% | 0.01 |
| R04003 | 3.38 | +/- 0.05 | 0.0027 |
| RT/Duroid | 2.2 | +/- 0.03 | 0.0009 |

图 3-1 板材参数

3.1.2 叠层设计

根据设计复杂度的差异，通常可以选择不同层数的电路板设计，其中 2 层和 4 层是最常见和较高性价比的选择。

4 层电路板通常叠层设计和主要用途如下：

- 1) TOP 层，用于射频信号；
- 2) GND 层，作为参考层，尽量完整地平面；
- 3) Power 层，用于电源供电走线；
- 4) BOT 层，用于低频和数字信号。

通常会在射频平面和电源平面之间放置一个分布式接地平面，可以提供一个均匀分布的射频去耦层。

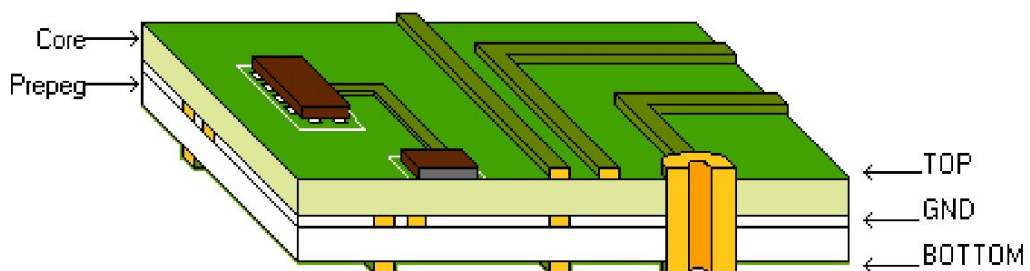


图 3-2 PCB 各层分布图

多层板的主要优点是可以将接地层放置在非常靠近射频平面的位置，以减少接地平面的寄生效应，所有的射频器件都需要有一个良好的接地层。

2 层板的设计通常需要对 PCB 布线更加小心, PCB 的电源走线需要加宽, 以达到尽可能低的阻抗和过大电流的能力。电路板底层需要大面积铺地, 为去耦提供良好的低阻抗路径。

3.1.3 传输线

传输线从信号源端到负载端需要保持恒定的特征阻抗 Z_0 。通过控制材料、尺寸、端接网络, 可以实现上述要求。

由于 RF 电路中信号频率非常高, 通常会采用传输性理论, 通过使用微带线来控制走线阻抗。下图展示了微带走线最常用的两种方式, 其中 PCB 顶层的走线通过介电材料与接地层隔离。

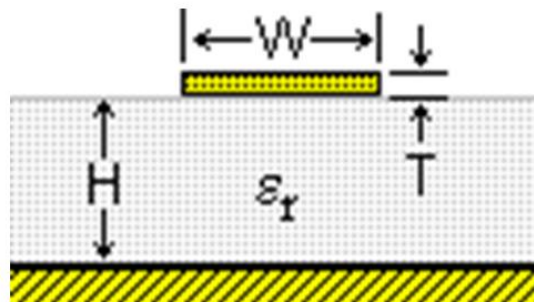


图 3-3 单端外层

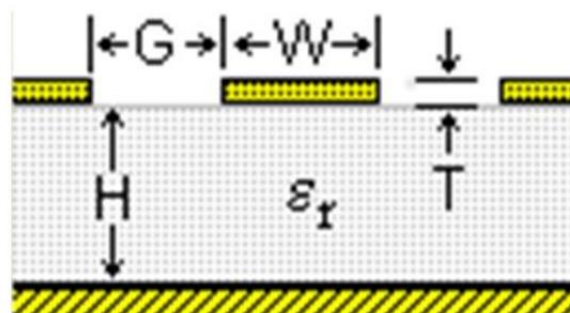


图 3-4 共面单端外层

3.1.4 回路和去耦

通常采用就近去耦的方式, 最大限度地减少 PCB 布局上的电流环路。尽量确保每个电源或端口都有独立的去耦电容, 确保每个去耦电容都有独立的接地过孔。

电容必须尽可能靠近芯片的电源引脚放置, 依次排列在顶层, 接地焊盘通过过孔接到地平面层, 参考电路如下:

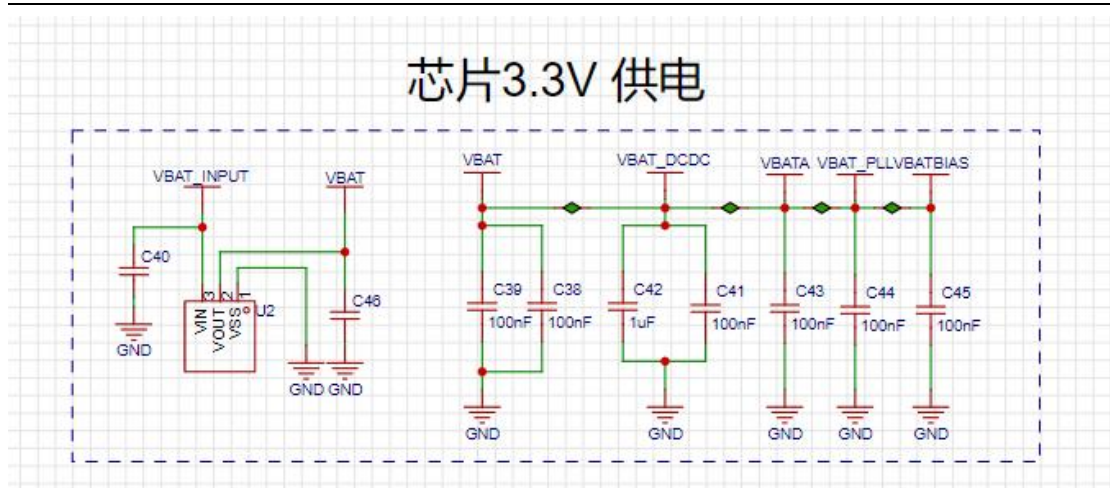


图 3-5 去耦参考电路

3.1.5 寄生电容

为了减小信号线和焊盘的寄生电容，在设计过程中，一是要减小铜皮覆盖的总面积；二是要增加层间距；为了减小过孔的寄生电容，需要使用小孔径的过孔、加大过孔和铜皮的间距、选用更薄的 PCB 板材。

4 元器件选择

4.1 电容器

电容器作为一种实用的器件，不仅表现出容性，同时还存在等效电阻和电感。等效电路的简化示意图如下：

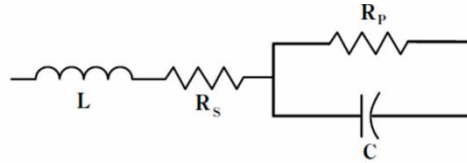


图 4-1 等效电路示意图

对于电容器，通常定义 ESR（等效串联电阻）和 ESL（等效串联电感），ESR 结合了电容器在给定频率下的所有串联和并联损耗，因此等效电路简化为简单的 RC 串联连接。ESL 即等效串联电感器，通常由三部分组成：焊盘布局、电容高度和电源层的扩散电感。

常用的陶瓷介质电容器，不同材质之间的主要区别是电容的温度系数和介电损耗。COG 和 NPO 电介质损耗最低，常用于滤波、匹配等。对于射频电路，通常建议使用 COG 电介质材料的多层（或单片）陶瓷电容器，这是一种高度稳定的 I 类电介质，具有线性温度系数、低损耗以及随时间、电压和频率变化的稳定电气特性。

对于射频电路去耦目的电容，需要选择一个电容值，去耦的频率接近或略高于电容的串联谐振频率（SRF）。在 SRF 处，寄生阻抗与器件电容谐振，形成串联调谐电路，电容提供的阻抗为有效串联电阻（ESR）。

对于射频电路隔离或耦合的电容，通常需要具有低插入损耗和良好品质因数的电容，由于电容的品质因数与其 ESR 成反比，因此选择 ESR 低的电容，并确保电容的 SRF 大于工作频率，如果工作频率高于电容的 SRF，电容就会呈感性。

4.2 电感器

电感是一种无源电子元件，用于在其磁场中存储能量，任何导体都有电感。电感通常由绕成线圈的导线或其他导体制成，根据构造技术和制造材料的相同，存在许多不同类型的电感（空芯电感器、铁磁芯电感器和可变电感器）。通常在射频中使用空芯电感，它不使用由铁磁材料制成的磁芯，而是缠绕在塑料、陶瓷或其他非磁性形式上的线圈。它的电感量比铁磁芯线圈低，因为没有磁芯损耗，因此更加适用于高频电路。

通常电感的实际电路由串联电阻和并联电容组成。并联电容被认为是存在于电感匝间的绕组间电容。如果电感器放置在接地平面上，则该电容还将包括存在于电感器和接地平面之间的电容，串联电阻可以看作是电感绕线的电阻。

在电路性能方面，电感的自谐振频率和品质因数是电感的主要参数，特别是对于需要最小化损耗的电路。在自谐振频率下，电感阻抗最大，对于高于自谐振的频率，电感器的行为会发生变化，并且会呈容性。

4.3 晶振

TK8610 芯片内置两个独立的晶体振荡器：分别用于 32MHz 和 32.768kHz。下图是一个典型的晶振等效电路。

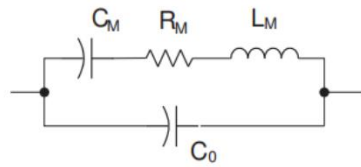


图 4-2 晶振的等效电路

选择晶振的基本原则：

- 1) 晶振所需的有效负载电容值：对于 32kHz /32MHz 晶振，通常为 6pF 至 15pF；
- 2) 晶振的 ESR：对于 32kHz 晶振，通常为 30kΩ 至 100kΩ；
- 3) 频率稳定度：32MHz 晶体的推荐频率稳定度为 $\pm 10\text{PPM}$ ，以保证晶体在不同温度范围内均符合通讯的频偏要求；

TK8610 时钟引脚与晶体和外部电容器间的电流流动极低，长距离的信号线路使得振荡器对于 EMC、ESD 和串扰都十分敏感，推荐布局和布线规则如下：

- 1) 芯片引脚、晶体和外部电容器间信号走线应该尽可能的短。这样将大大减少寄生电容并降低对串扰和电磁干扰（EMI）的敏感度。当计算负载电容器时，必须将信号走线的电容值也考虑在内；
- 2) 将其它数字信号线路，特别是时钟线路和频繁开关信号线路，尽可能的远离晶体；
- 3) 振荡环路电流在晶振和负载电容器间流动，这个信号路径应该保持尽可能的短，并且应采用对称设计，两个电容器的接地连接都应该一直尽可能的接近；
- 4) 用接地走线（护圈）保护晶振走线。这个接地护圈必须为独立接地，意味着应该没有电流经护圈流进流出其它器件，尽可能使用一个短走线连接至芯片的 GND；
- 5) 在 2 层电路板中，不要在晶体区域的电路板背面布置任何数字线路。在任何情况下，用独立接地填充 PCB 的另外一面并且将这个接地连接至芯片的 GND 是较好的设计原则；
- 6) 晶体外壳接地；
- 7) 在焊接时，应严格遵守晶体规格书上，对于焊接温度和时间的要求。

4.4 射频开关

射频开关是无线接收和发射通道切换的关键元器件，应尽可能选用高 ESD、高隔离度、低插入损耗的产品，并且适用频段范围满足应用要求。通常推荐指标如下：

- 通道隔离度： $\geq 40\text{ dB}$
- 适用频段：150MHz-960MHz

- 插入损耗： $\leq 0.35\text{dBm}$

4.5 电源芯片 LDO

电源作为保证芯片特别是射频电路稳定可靠工作的关键器件，应选择低纹波、高瞬态响应、高负载能力、高 ESD 保护等级的产品。通常推荐采用 LDO 线性电源，典型参数如下：

- 输出电压：3.3V
- ESD： $\geq 2\text{KV}$
- 纹波要求： $< 200\text{mv}$ （满载）
- 供电电流： $\geq 500\text{mA}$
- 如应用于低功耗场景，应选择静态电流小于等于 $1\mu\text{A}$ 的产品

5 参考设计

5.1 参考原理图

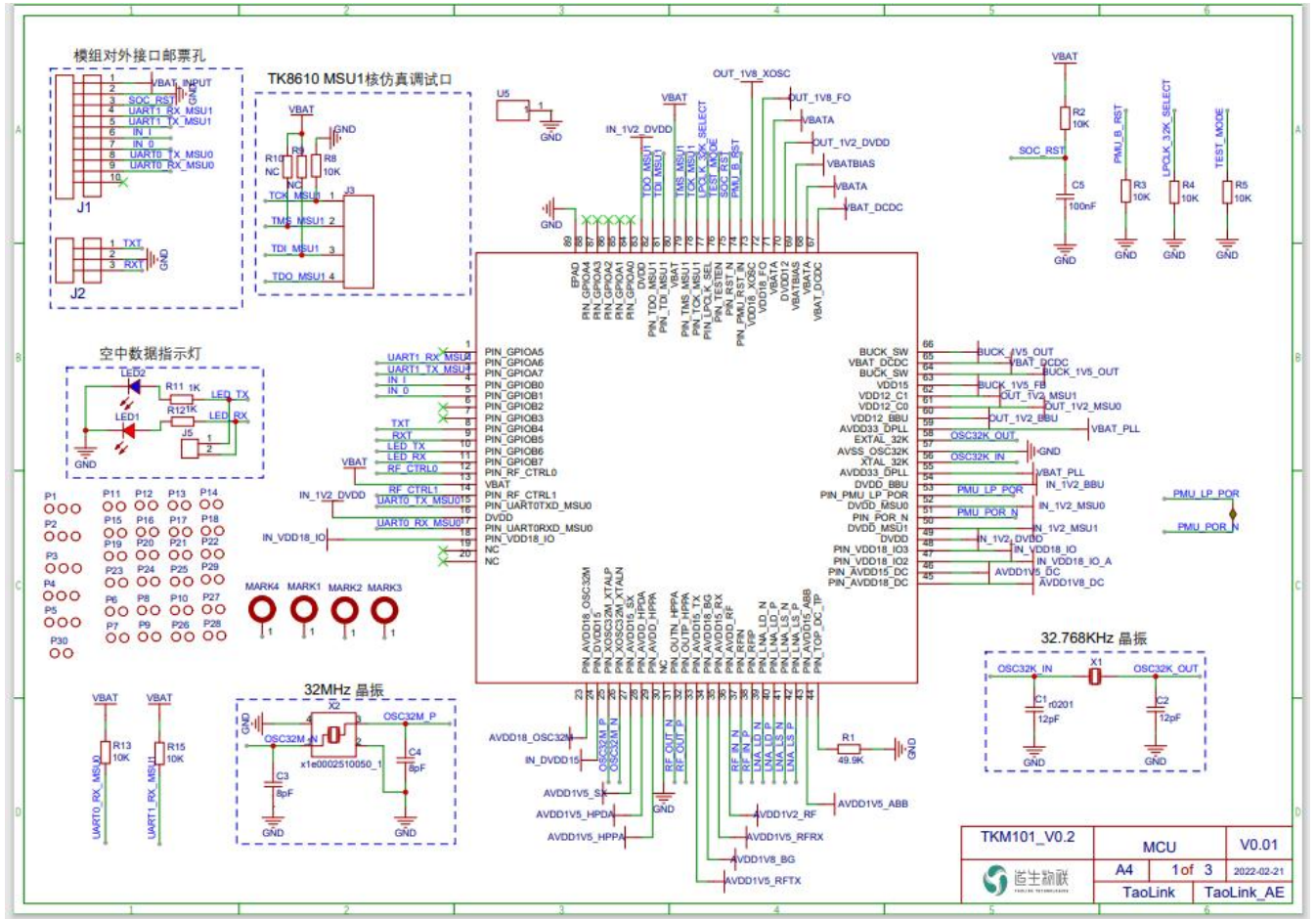


图 5-1 参考原理图 1

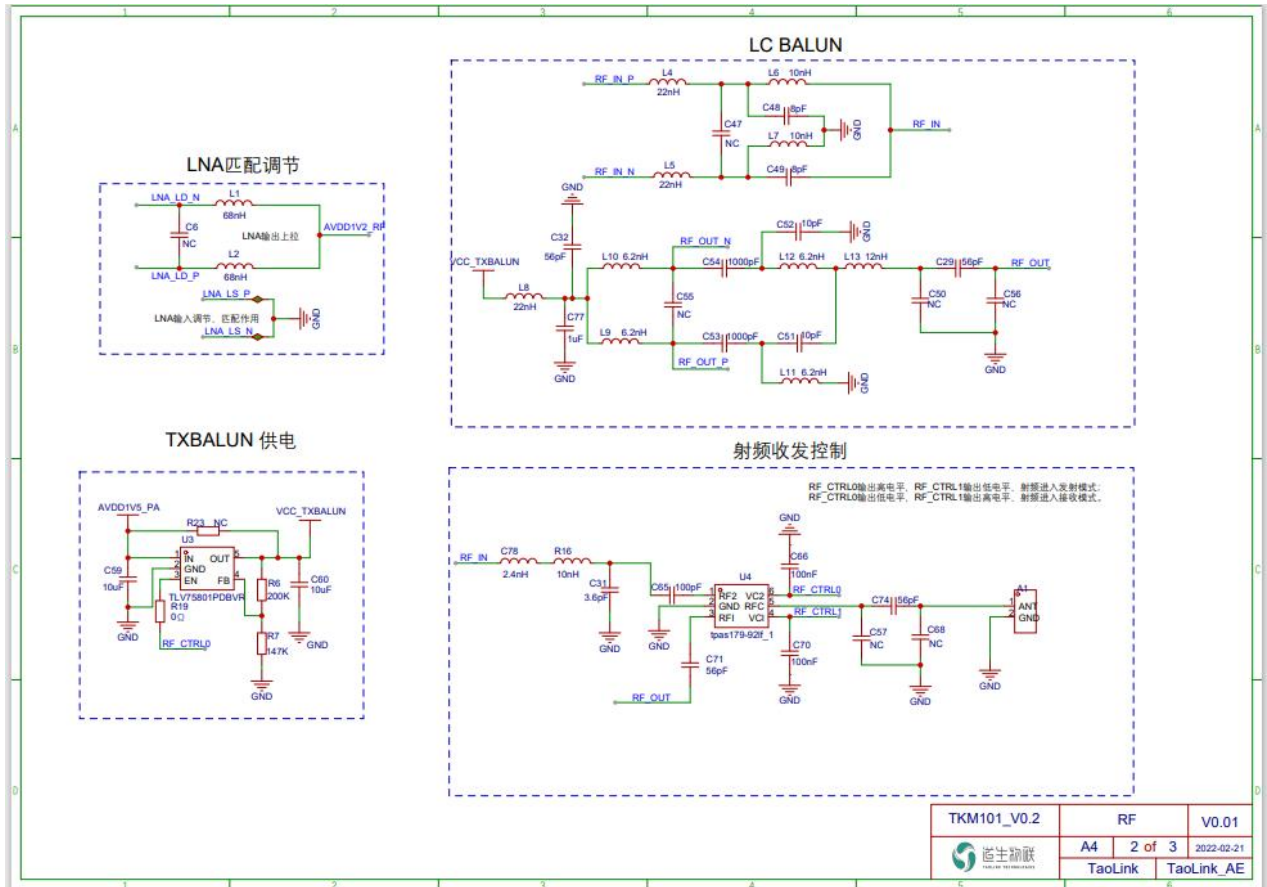


图 5-2 参考原理图 2

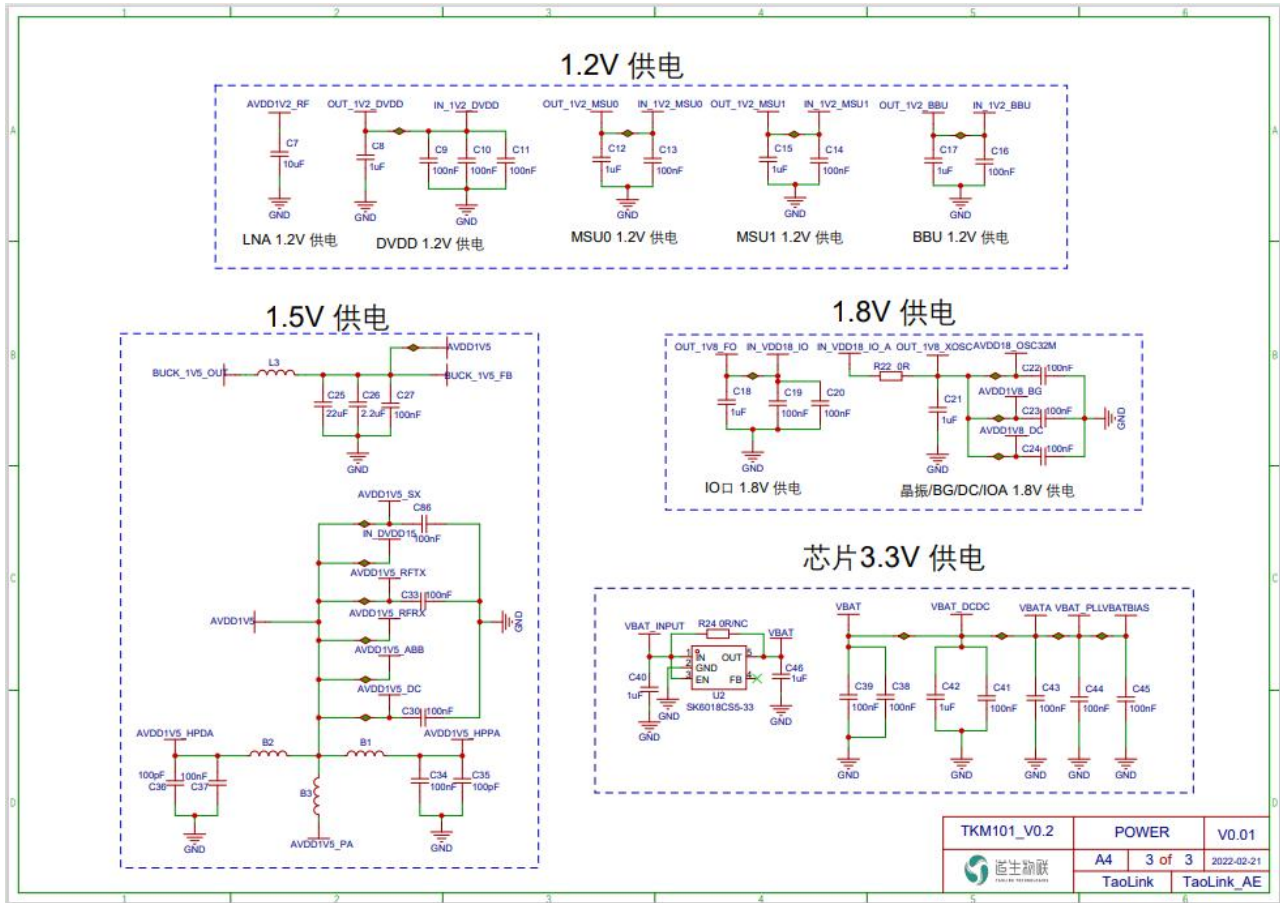


图 5-3 参考原理图 3

5.2 参考 BOM

| 规格 | 位号 | 封装 |
|-------------------|--|------|
| 磁珠 120R/100MHz | B1, B2, B3 | 0402 |
| 12pF | C1, C2 | 0201 |
| 8pF | C3, C4 | 0201 |
| 100nF | C5, C9, C10, C11, C13, C14, C16, C19, C20, C22, C23, C24, C27, C30, C33, C34, C37, C38, C39, C41, C43, C44, C45, C66, C70, C86 | 0201 |
| 10uF | C7 | 0402 |
| 1uF | C8, C12, C15, C17, C18, C21, C42 | 0201 |
| 22uF | C25 | 0402 |
| 2.2uF | C26 | 0402 |
| 56pF | C29, C32, C71, C74 | 0402 |
| 3.6pF | C31 | 0402 |

| | | |
|----------------|------------------------------|-------------|
| 100pF | C35, C36 | 0201 |
| 100nF | C40, C46 | 0805 |
| 8pF | C48, C49 | 0402 |
| 10pF | C51, C52 | 0402 |
| 1000pF | C53.C54 | 0402 |
| 10uF | C59.C60 | 0402 |
| 100pF | C65 | 0402 |
| 1uF | C77 | 0402 |
| 2.4nH | C78 | 0402 |
| 68nH | L1, L2 | 0402 |
| SPH3015H4R7MT | L3 | SMD_3*3 |
| 22nH | L4, L5, L8, L9, L10 | 0402 |
| 6.2nH | L11, L12 | 0402 |
| 12nH | L13 | 0402 |
| LED 红色 | LED1 | 0603 |
| LED 绿色 | LED2 | 0603 |
| 49.9K | R1 | 0201 |
| 10K | R2, R3, R4, R5, R8, R13, R15 | 0201 |
| 200K | R6 | 0201 |
| 147K | R7 | 0201 |
| 1K | R11, R12 | 0201 |
| 10nH | R16, L6, L7 | 0402 |
| OR | R19 | 0402 |
| OR | R22 | 0201 |
| 5.1R | R23 | 0603 |
| XC6206P332MR-C | U2 | sot-23-3 |
| AS 179 | U4 | sot-363 |
| XLA000L210005 | X1 | SMD_1610 |
| XLE00025L0059 | X2 | SMD_1612 |
| TK8610 | UI | QFN-88PIN |
| PCB | TKM100 | 4层, 24*36mm |

表 5-1 参考 BOM

5.3 参考 PCB 布局

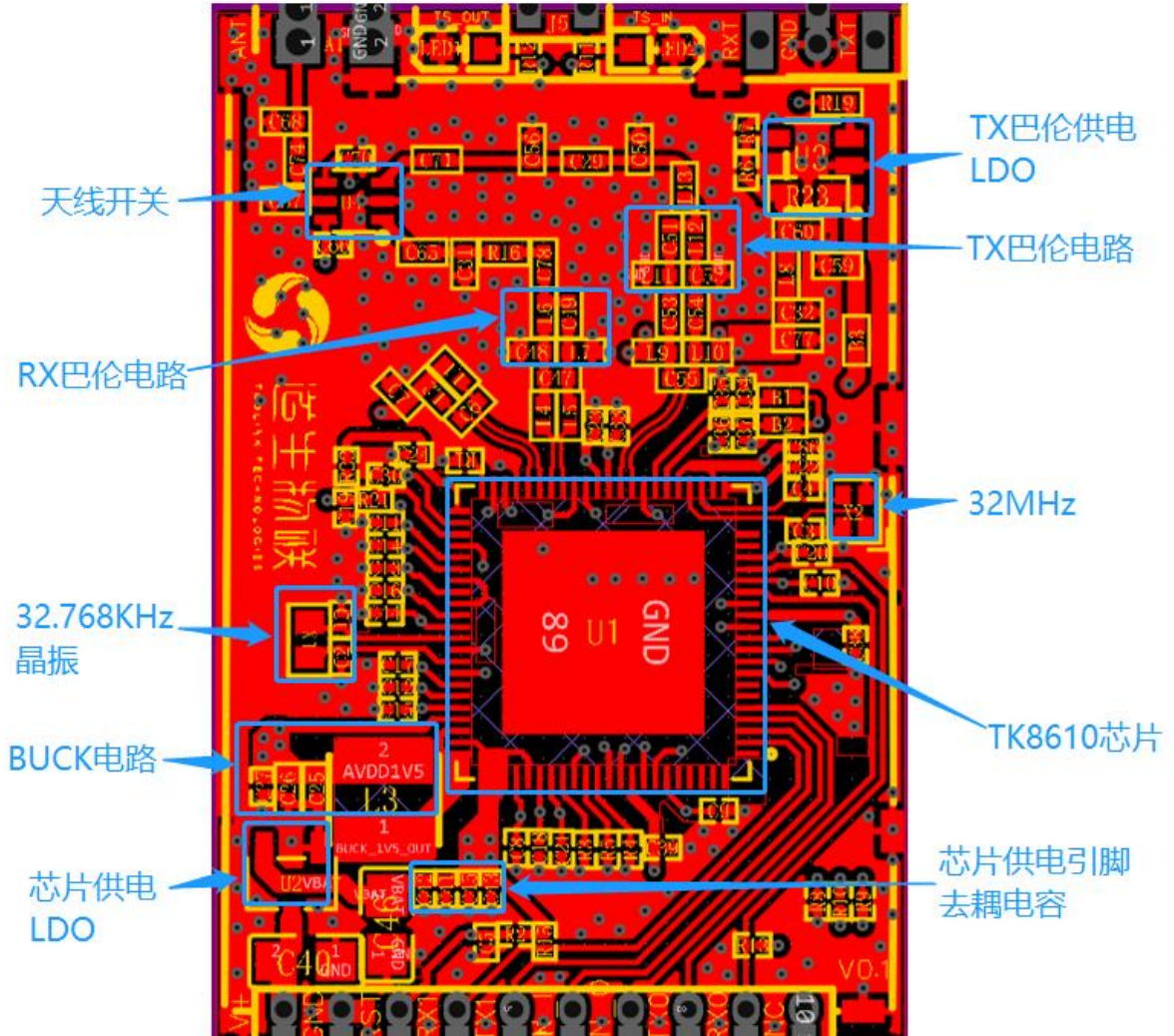


图 5-4 参考 PCB 布局图 1

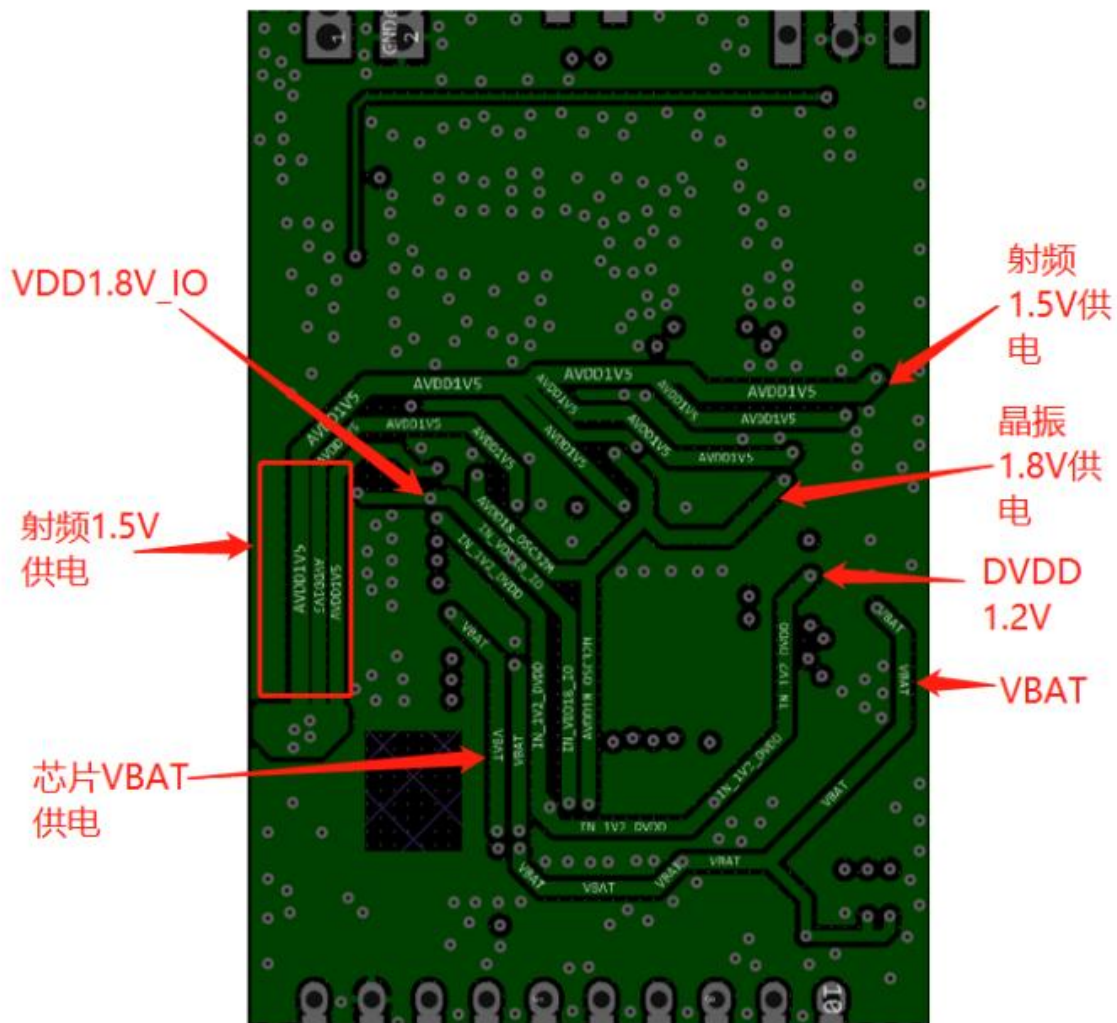


图 5-5 参考 PCB 布局 2

TK8610 芯片电路板布局的主要建议如下：

- 1) RX 路径的巴伦电路应尽可能靠近 RX 引脚放置；
- 2) TX 路径的巴伦电路应尽可能靠近 TX 引脚放置；
- 3) RX、TX 芯片引脚接到巴伦电路的走线应该等长，阻抗按照差分 100 欧姆设计，如果两个差分信号不平衡，可能会出现共模问题；
- 4) 巴伦电路的电感电容应该相互垂直摆放，避免互相耦合；
- 5) RF 单端走线应该尽量使用 50 欧姆共面线连接 TX、RX 部分，这样可以减少辐射和耦合效应，同时走线的特性阻抗对 PCB 的厚度不太敏感；
- 6) 元器件之间互连的线长度要比波长短的多，所以不被认为是传输线，因此它们的阻抗不是关键的，走线可以尽可能的窄，这样可以将对地的寄生电容降到最低；
- 7) TK8610 芯片电源部分的 BUCK 电路，功率电感应尽量放置在靠近芯片引脚的位置，同时反馈电压应从电感后滤波电容处取，同时功率电感下方应避免铺铜，以免产生涡流而影响电感感量；

- 8) RF 电路中电感应尽量互相垂直放置，这样可以改善滤波器在高频下的衰减，如果不能将电感互相垂直放置，也应该避免彼此平行放置；
- 9) 晶体应该尽量靠近芯片引脚放置，避免靠近 PCB 板边，同时晶体外围用地包围；
- 10) TK8610 芯片接地焊盘应该尽量保证和地平面的良好接触，可以多打过孔到地，同时也可以改善散热问题；
- 11) PCB 顶层应该尽可能大而连续的铺地，保证射频的良好接地，为了提供良好的射频接地，整个接地区域的射频电压电位应该相等，这样有助于保持良好的 VDD 滤波；
- 12) 强烈推荐四层板，地层放在靠近顶层的位置，可以获得一个良好的参考地平面；
- 13) 如果不能使用四层板，则需要在 RF 电路下方铺满地铜，以减少或消除辐射，下方应尽量避免走线，以防止发生耦合效应，并确保射频元器件有良好的接地参考平面。