



# ESP32 管脚清单

版本 2.0

版权 © 2016

## 发布说明

日期	版本	发布说明
2016.06	V1.0	首次发布。
2016.07	V2.0	修订管脚清单； 新增使用说明、Ethernet_MAC、GPIO_Matrix 和 Strapping。

## 本手册使用说明

### 说明 1

“IO\_MUX” 页红色单元格表示 ESP32 与 ESP31B 相比在功能上的不同之处，蓝色单元格表示 ESP32 与 ESP31B 相比新增的功能。

### 说明 2

以下管脚仅为输入管脚，不带输出驱动器或内置上拉 / 下拉电路：SENSOR\_VP (GPIO36)、SENSOR\_CAPP (GPIO37)、SENSOR\_CAPN (GPIO38)、SENSOR\_VN (GPIO39)、VDET\_1 (GPIO36)、VDET\_2 (GPIO36)。

### 说明 3

所有管脚分为 4 个电源域：VANA（模拟电源）、VRTC（RTC 电源）、VIO（数字 IO 和 CPU 电源）、VSDIO（SDIO IO 电源）。VSDIO 是内置 SDIO-LDO 的输出源。SDIO-LDO 的配置电压为 1.8V 或与 VRTC 相同。Strapping 管脚和 efuse 比特共同决定 SDIO-LDO 的默认电压。此外，软件还可以配置寄存器来强制改变 SDIO-LDO 电压。

### 说明 4

VRTC 域中的功能管脚具有模拟功能，包括 32kHz 晶体振荡器、ADC 前置放大器、ADC、DAC 以及电容式触摸传感器。请参考“IO\_MUX” 页“Analog Function 1~3” 各栏。

### 说明 5

这些 VRTC 管脚支持 RTC\_GPIO 功能，能够在深度睡眠模式下使用。例如，RTC-GPIO 可用于唤醒深度睡眠模式下的芯片。

### 说明 6

GPIO 管脚最多支持“IO\_MUX” 页“Function 1~6” 各栏中所列的 6 个数字功能。功能选择寄存器应设置为“N-1”，其中 N 为功能编号。

以下为常用模块的信号前缀定义：

SD\_\* 是 SDIO 从机的信号。

HS1\_\* 是 SDIO 主机端口 1 的信号。

HS2\_\* 是 SDIO 主机端口 2 的信号。

MT\* 是 JTAG 的信号。

U0\* 是 UART0 模块的信号。

U1\* 是 UART1 模块的信号。

U2\* 是 UART2 模块的信号。

SPI\* 是 SPI01 模块的信号。

HSPI\* 是 SPI02 模块的信号。

VSPI\* 是 SPI03 模块的信号。

#### 说明 7

每个数字“Function”栏均对应一系列“Type”。请参考下列描述来理解每个“Function”所对应“Type”的意义。

对于任意功能“Function-N”而言，“Type”所指的是：

“I”：仅为输入。如果选择了“Function-N”以外的其他功能，则该管脚的输入信号仍会连接到“Function-N”的输入信号。

“I1”：仅为输入。如果选择了“Function-N”以外的其他功能，则“Function-N”的输入信号恒为“1”。

“I0”：仅为输入。如果选择了“Function-N”以外的其他功能，则“Function-N”的输入信号恒为“0”。

“O”：仅为输出。

“T”：高阻抗。

“I/O/T”：该功能信号包含输入、输出和高阻抗组合。

“I1/O/T”：该函数信号包含输入、输出和高阻抗组合。如果选择了“Function-N”以外的其他功能，则“Function-N”的输入信号恒为“1”。

例如，30号管脚可作为HS1\_CMD或SD\_CMD使用，其中HS1\_CMD的类型为“I1/O/T”。

如果30号管脚被选作“HS1\_CMD”，则该管脚的输入和输出均由SDIO主机控制。如果30号管脚未被选作“HS1\_CMD”，则对SDIO主机的输入信号总为“1”。

#### 说明 8

每一个数字输出管脚的驱动强度可以配置。“IO\_MUX”页的“Drive Strength”栏列出了默认值。

#### 说明 9

“IO\_MUX”页“At Reset”栏列出了复位时每个管脚的状态，包括输入使能 (ie=1)、内置上拉 (wpu) 和内置下拉 (wpd)。复位时，所有管脚都处于输出禁用状态。

#### 说明 10

“IO\_MUX”页“After Reset”栏列出了复位后每个管脚的即刻状态，包括输入使能 (ie=1)、内置上拉 (wpu) 和内置下拉 (wpd)。复位后，每个管脚均设定为“Function 1”。输出使能由其数字 Function 1 控制。

#### 说明 11

“Ethernet\_MAC”页用于描述以太网 MAC 模块内的信号映射。Ethernet MAC 支持 MII 和 RMII 两种接口，同时支持内部 PLL 时钟和外部时钟源。对于 MII 接口来说，Ethernet MAC 可配 TX\_ERR 信号，也可不配 TX\_ERR 信号。MDC、MDIO、CRS 和 COL 均为慢速信号，可通过 GPIO-Matrix 映射到任何 GPIO 管脚。

#### 说明 12

“GPIO\_Matrix”页用于描述 GPIO 交换矩阵。片上功能模组所发出的信号可映射到任何 GPIO 管脚上。如“GPIO\_Matrix”页“The same input signal from IO\_MUX Core”栏说明的一样，有些信号既可通过 IO-MUX，也可通过 GPIO-Matrix 再映射到管脚上。

IO\_MUX

Pin No.	Pin Name	Pin Name	Pin Name	Power Domain	Analog Function1	Analog Function2	Analog Function3	RTC_GPIO	Function1	Type	Function2	Type	Function3	Type	Function4	Type	Function5	Type	Function6	Type	Drive Strength (2'd2: 24mA)	At Reset	After Reset
1	VDDA			VANA in																			
2		LNA_IN		VANA in																			
3	VDD3P3			VANA in																			
4	VDD3P3			VANA in																			
5		SENSOR_VP		VRTC	ADC_H	ADC1_CH0		RTC_GPIO0	GPIO36	I			GPIO36	I									ie=0
6		SENSOR_CAPP		VRTC	ADC_H	ADC1_CH1		RTC_GPIO1	GPIO37	I			GPIO37	I									ie=0
7		SENSOR_CAPN		VRTC	ADC_H	ADC1_CH2		RTC_GPIO2	GPIO38	I			GPIO38	I									ie=0
8		SENSOR_VN		VRTC	ADC_H	ADC1_CH3		RTC_GPIO3	GPIO39	I			GPIO39	I									ie=0
9		CHIP_PU		VRTC																			
10		VDET_1		VRTC		ADC1_CH6		RTC_GPIO4	GPIO34	I			GPIO34	I									ie=0
11		VDET_2		VRTC		ADC1_CH7		RTC_GPIO5	GPIO35	I			GPIO35	I									ie=0
12		32K_XP		VRTC	XTAL_32K_P	ADC1_CH4	TOUCH9	RTC_GPIO9	GPIO32	I/O/T			GPIO32	I/O/T							2'd2		ie=0
13		32K_XN		VRTC	XTAL_32K_N	ADC1_CH5	TOUCH8	RTC_GPIO8	GPIO33	I/O/T			GPIO33	I/O/T							2'd2		ie=0
14			GPIO25	VRTC	DAC_1	ADC2_CH8		RTC_GPIO6	GPIO25	I/O/T			GPIO25	I/O/T					EMAC_RXD0	I	2'd2		ie=0
15			GPIO26	VRTC	DAC_2	ADC2_CH9		RTC_GPIO7	GPIO26	I/O/T			GPIO26	I/O/T					EMAC_RXD1	I	2'd2		ie=0
16			GPIO27	VRTC		ADC2_CH7	TOUCH7	RTC_GPIO17	GPIO27	I/O/T			GPIO27	I/O/T					EMAC_RX_DV	I	2'd2		ie=1
17			MTMS	VRTC		ADC2_CH6	TOUCH6	RTC_GPIO16	MTMS	I0	HSPICLK	I/O/T	GPIO14	I/O/T	HS2_CLK	O	SD_CLK	I0	EMAC_TXD2	O	2'd2		ie=1
18			MTDI	VRTC		ADC2_CH5	TOUCH5	RTC_GPIO15	MTDI	I1	HSPIQ	I/O/T	GPIO12	I/O/T	HS2_DATA2	I1/O/T	SD_DATA2	I1/O/T	EMAC_TXD3	O	2'd2	wpd, ie=1	wpd, ie=1
19	VDD3P3_RTC			VRTC supply in																			
20			MTCK	VRTC		ADC2_CH4	TOUCH4	RTC_GPIO14	MTCK	I1	HSPID	I/O/T	GPIO13	I/O/T	HS2_DATA3	I1/O/T	SD_DATA3	I1/O/T	EMAC_RX_ER	I	2'd2		ie=1
21			MTDO	VRTC		ADC2_CH3	TOUCH3	RTC_GPIO13	MTDO	O/T	HSPIC0	I/O/T	GPIO15	I/O/T	HS2_CMD	I1/O/T	SD_CMD	I1/O/T	EMAC_RXD3	I	2'd2	wpu, ie=1	wpu, ie=1
22			GPIO2	VRTC		ADC2_CH2	TOUCH2	RTC_GPIO12	GPIO2	I/O/T	HSPiWP	I/O/T	GPIO2	I/O/T	HS2_DATA0	I1/O/T	SD_DATA0	I1/O/T			2'd2	wpd, ie=1	wpd, ie=1
23			GPIO0	VRTC		ADC2_CH1	TOUCH1	RTC_GPIO11	GPIO0	I/O/T	CLK_OUT1	O	GPIO0	I/O/T					EMAC_TX_CLK	I	2'd2	wpu, ie=1	wpu, ie=1
24			GPIO4	VRTC		ADC2_CH0	TOUCH0	RTC_GPIO10	GPIO4	I/O/T	HSPIHD	I/O/T	GPIO4	I/O/T	HS2_DATA1	I1/O/T	SD_DATA1	I1/O/T	EMAC_TX_ER	O	2'd2	wpd, ie=1	wpd, ie=1
25			GPIO20	VSDIO					GPIO20	I/O/T			GPIO20	I/O/T							2'd2		ie=1
26	VDD_SDIO		GPIO16	VSDIO					GPIO16	I/O/T			GPIO16	I/O/T	HS1_DATA4	I1/O/T	U2RXD	I1	EMAC_CLK_OUT	O	2'd2		ie=1
27			GPIO17	VSDIO supply out/in																			
28			GPIO17	VSDIO					GPIO17	I/O/T			GPIO17	I/O/T	HS1_DATA5	I1/O/T	U2TXD	O	EMAC_CLK_OUT_180	O	2'd2		ie=1
29		SD_DATA_2		VSDIO		SD_DATA2			SD_DATA2	I1/O/T	SPIHD	I/O/T	GPIO9	I/O/T	HS1_DATA2	I1/O/T	U1RXD	I1			2'd2	wpu, ie=1	wpu, ie=1
30		SD_DATA_3		VSDIO		SD_DATA3			SD_DATA3	I0/O/T	SPIWP	I/O/T	GPIO10	I/O/T	HS1_DATA3	I1/O/T	U1TXD	O			2'd2	wpu, ie=1	wpu, ie=1
31		SD_CMD		VSDIO		SD_CMD			SD_CMD	I1/O/T	SPIC0	I/O/T	GPIO11	I/O/T	HS1_CMD	I1/O/T	U1RTS	O			2'd2	wpu, ie=1	wpu, ie=1
32		SD_CLK		VSDIO		SD_CLK			SD_CLK	I0	SPICLK	I/O/T	GPIO6	I/O/T	HS1_CLK	O	U1CTS	I1			2'd2	wpu, ie=1	wpu, ie=1
33		SD_DATA_0		VSDIO		SD_DATA0			SD_DATA0	I1/O/T	SPIQ	I/O/T	GPIO7	I/O/T	HS1_DATA0	I1/O/T	U2RTS	O			2'd2	wpu, ie=1	wpu, ie=1
34		SD_DATA_1		VSDIO		SD_DATA1			SD_DATA1	I1/O/T	SPID	I/O/T	GPIO8	I/O/T	HS1_DATA1	I1/O/T	U2CTS	I1			2'd2	wpu, ie=1	wpu, ie=1
35		GPIO5		VIO		GPIO5			GPIO5	I/O/T	VSPIC0	I/O/T	GPIO5	I/O/T	HS1_DATA6	I1/O/T			EMAC_RX_CLK	I	2'd2	wpu, ie=1	wpu, ie=1
36		GPIO18		VIO		GPIO18			GPIO18	I/O/T	VSPICLK	I/O/T	GPIO18	I/O/T	HS1_DATA7	I1/O/T					2'd2	wpu, ie=1	ie=1
37		GPIO23		VIO		GPIO23			GPIO23	I/O/T	VSPID	I/O/T	GPIO23	I/O/T	HS1_STROBE	I0					2'd2		ie=1
38	VDD3P3_CPU			VIO supply in																			
39			GPIO19	VIO					GPIO19	I/O/T	VSPIQ	I/O/T	GPIO19	I/O/T	U0CTS	I1			EMAC_TXD0	O	2'd2		ie=1
40			GPIO22	VIO					GPIO22	I/O/T	VSPiWP	I/O/T	GPIO22	I/O/T	U0RTS	O			EMAC_TXD1	O	2'd2		ie=1
41		U0RXD		VIO		U0RXD			U0RXD	I1	CLK_OUT2	O	GPIO3	I/O/T							2'd2	wpu, ie=1	wpu, ie=1
42		U0TXD		VIO		U0TXD			U0TXD	O	CLK_OUT3	O	GPIO1	I/O/T					EMAC_RXD2	I	2'd2	wpu, ie=1	wpu, ie=1
43			GPIO21	VIO					GPIO21	I/O/T	VSPiHD	I/O/T	GPIO21	I/O/T					EMAC_TX_EN	O	2'd2		ie=1
44	VDDA			VANA in																			
45		XTAL_N		VANA																			
46		XTAL_P		VANA																			
47	VDDA			VANA																			
48		CAP2		VANA																			
49		CAP1		VANA																			
Total Number	8	14	26																				

## Ethernet\_MAC

PIN Name	Function6	MII (int_osc)	MII (ext_osc)	RMII (int_osc)	RMII (ext_osc)
GPIO0	EMAC_TX_CLK	TX_CLK (I)	TX_CLK (I)	CLK_OUT(O)	EXT_OSC_CLK(I)
GPIO5	EMAC_RX_CLK	RX_CLK (I)	RX_CLK (I)		
GPIO21	EMAC_TX_EN	TX_EN(O)	TX_EN(O)	TX_EN(O)	TX_EN(O)
GPIO19	EMAC_TXD0	TXD[0](O)	TXD[0](O)	TXD[0](O)	TXD[0](O)
GPIO22	EMAC_TXD1	TXD[1](O)	TXD[1](O)	TXD[1](O)	TXD[1](O)
MTMS	EMAC_TXD2	TXD[2](O)	TXD[2](O)		
MTDI	EMAC_TXD3	TXD[3](O)	TXD[3](O)		
MTCK	EMAC_RX_ER	RX_ER(I)	RX_ER(I)		
GPIO27	EMAC_RX_DV	RX_DV(I)	RX_DV(I)	CRS_DV(I)	CRS_DV(I)
GPIO25	EMAC_RXD0	RXD[0](I)	RXD[0](I)	RXD[0](I)	RXD[0](I)
GPIO26	EMAC_RXD1	RXD[1](I)	RXD[1](I)	RXD[1](I)	RXD[1](I)
U0TXD	EMAC_RXD2	RXD[2](I)	RXD[2](I)		
MTDO	EMAC_RXD3	RXD[3](I)	RXD[3](I)		
GPIO16	EMAC_CLK_OUT	CLK_OUT(O)		CLK_OUT(O)	
GPIO17	EMAC_CLK_OUT_180	CLK_OUT_180(O)		CLK_OUT_180(O)	
GPIO4	EMAC_TX_ER	TX_ERR(O)	TX_ERR(O)		
In GPIO Matrix		MDC(O)	MDC(O)	MDC(O)	MDC(O)
In GPIO Matrix		MDIO(IO)	MDIO(IO)	MDIO(IO)	MDIO(IO)
In GPIO Matrix		CRS(I)	CRS(I)		
In GPIO Matrix		COL(I)	COL(I)		
<b>说明：</b> 1. 蓝色单元格中的 GPIO Matrix 可以是任意 GPIO。 2. 橙色单元格中的 TX_ERR (O) 非必选。					

## GPIO\_Matrix

Signal No.	Input Signals	Default value if unassigned	The same input signal from IO_MUX Core	Signal No.	Output Signals	Output enable of output signals
0	SPICLK_in	0	yes	0	SPICLK_out	SPICLK_oe
1	SPIQ_in	0	yes	1	SPIQ_out	SPIQ_oe
2	SPID_in	0	yes	2	SPID_out	SPID_oe
3	SPIHD_in	0	yes	3	SPIHD_out	SPIHD_oe
4	SPIWP_in	0	yes	4	SPIWP_out	SPIWP_oe
5	SPICS0_in	0	yes	5	SPICS0_out	SPICS0_oe
6	SPICS1_in	0	no	6	SPICS1_out	SPICS1_oe
7	SPICS2_in	0	no	7	SPICS2_out	SPICS2_oe
8	HSPICLK_in	0	yes	8	HSPICLK_out	HSPICLK_oe
9	HSPIQ_in	0	yes	9	HSPIQ_out	HSPIQ_oe
10	HSPID_in	0	yes	10	HSPID_out	HSPID_oe
11	HSPICS0_in	0	yes	11	HSPICS0_out	HSPICS0_oe
12	HSPIHD_in	0	yes	12	HSPIHD_out	HSPIHD_oe
13	HSPIWP_in	0	yes	13	HSPIWP_out	HSPIWP_oe
14	U0RXD_in	0	yes	14	U0TXD_out	1'd1
15	U0CTS_in	0	yes	15	U0RTS_out	1'd1
16	U0DSR_in	0	no	16	U0DTR_out	1'd1
17	U1RXD_in	0	yes	17	U1TXD_out	1'd1
18	U1CTS_in	0	yes	18	U1RTS_out	1'd1
23	I2S0O_BCK_in	0	no	23	I2S0O_BCK_out	1'd1
24	I2S1O_BCK_in	0	no	24	I2S1O_BCK_out	1'd1
25	I2S0O_WS_in	0	no	25	I2S0O_WS_out	1'd1
26	I2S1O_WS_in	0	no	26	I2S1O_WS_out	1'd1
27	I2S0I_BCK_in	0	no	27	I2S0I_BCK_out	1'd1
28	I2S0I_WS_in	0	no	28	I2S0I_WS_out	1'd1
29	I2CEXT0_SCL_in	1	no	29	I2CEXT0_SCL_out	1'd1
30	I2CEXT0_SDA_in	1	no	30	I2CEXT0_SDA_out	1'd1
31	pwm0_sync0_in	0	no	31	sdio_tohost_int_out	1'd1
32	pwm0_sync1_in	0	no	32	pwm0_out0a	1'd1
33	pwm0_sync2_in	0	no	33	pwm0_out0b	1'd1
34	pwm0_f0_in	0	no	34	pwm0_out1a	1'd1
35	pwm0_f1_in	0	no	35	pwm0_out1b	1'd1
36	pwm0_f2_in	0	no	36	pwm0_out2a	1'd1
37		0	no	37	pwm0_out2b	1'd1
39	pcnt_sig_ch0_in0	0	no	39		1'd1
40	pcnt_sig_ch1_in0	0	no	40		1'd1
41	pcnt_ctrl_ch0_in0	0	no	41		1'd1
42	pcnt_ctrl_ch1_in0	0	no	42		1'd1
43	pcnt_sig_ch0_in1	0	no	43		1'd1
44	pcnt_sig_ch1_in1	0	no	44		1'd1
45	pcnt_ctrl_ch0_in1	0	no	45		1'd1
46	pcnt_ctrl_ch1_in1	0	no	46		1'd1
47	pcnt_sig_ch0_in2	0	no	47		1'd1
48	pcnt_sig_ch1_in2	0	no	48		1'd1
49	pcnt_ctrl_ch0_in2	0	no	49		1'd1
50	pcnt_ctrl_ch1_in2	0	no	50		1'd1
51	pcnt_sig_ch0_in3	0	no	51		1'd1
52	pcnt_sig_ch1_in3	0	no	52		1'd1
53	pcnt_ctrl_ch0_in3	0	no	53		1'd1
54	pcnt_ctrl_ch1_in3	0	no	54		1'd1
55	pcnt_sig_ch0_in4	0	no	55		1'd1
56	pcnt_sig_ch1_in4	0	no	56		1'd1
57	pcnt_ctrl_ch0_in4	0	no	57		1'd1
58	pcnt_ctrl_ch1_in4	0	no	58		1'd1
61	HSPICS1_in	0	no	61	HSPICS1_out	HSPICS1_oe
62	HSPICS2_in	0	no	62	HSPICS2_out	HSPICS2_oe
63	VSPICLK_in	0	yes	63	VSPICLK_out_mux	VSPICLK_oe
64	VSPIQ_in	0	yes	64	VSPIQ_out	VSPIQ_oe
65	VSPID_in	0	yes	65	VSPID_out	VSPID_oe
66	VSPIHD_in	0	yes	66	VSPIHD_out	VSPIHD_oe
67	VSPiWP_in	0	yes	67	VSPiWP_out	VSPiWP_oe
68	VSPICS0_in	0	yes	68	VSPICS0_out	VSPICS0_oe
69	VSPICS1_in	0	no	69	VSPICS1_out	VSPICS1_oe
70	VSPICS2_in	0	no	70	VSPICS2_out	VSPICS2_oe
71	pcnt_sig_ch0_in5	0	no	71	ledc_hs_sig_out0	1'd1
72	pcnt_sig_ch1_in5	0	no	72	ledc_hs_sig_out1	1'd1
73	pcnt_ctrl_ch0_in5	0	no	73	ledc_hs_sig_out2	1'd1
74	pcnt_ctrl_ch1_in5	0	no	74	ledc_hs_sig_out3	1'd1
75	pcnt_sig_ch0_in6	0	no	75	ledc_hs_sig_out4	1'd1
76	pcnt_sig_ch1_in6	0	no	76	ledc_hs_sig_out5	1'd1
77	pcnt_ctrl_ch0_in6	0	no	77	ledc_hs_sig_out6	1'd1
78	pcnt_ctrl_ch1_in6	0	no	78	ledc_hs_sig_out7	1'd1
79	pcnt_sig_ch0_in7	0	no	79	ledc_ls_sig_out0	1'd1
80	pcnt_sig_ch1_in7	0	no	80	ledc_ls_sig_out1	1'd1
81	pcnt_ctrl_ch0_in7	0	no	81	ledc_ls_sig_out2	1'd1
82	pcnt_ctrl_ch1_in7	0	no	82	ledc_ls_sig_out3	1'd1
83	rmt_sig_in0	0	no	83	ledc_ls_sig_out4	1'd1
84	rmt_sig_in1	0	no	84	ledc_ls_sig_out5	1'd1

Signal No.	Input Signals	Default value if unassigned	The same input signal from IO_MUX Core	Signal No.	Output Signals	Output enable of output signals
85	rmt_sig_in2	0	no	85	ledc_ls_sig_out6	1'd1
86	rmt_sig_in3	0	no	86	ledc_ls_sig_out7	1'd1
87	rmt_sig_in4	0	no	87	rmt_sig_out0	1'd1
88	rmt_sig_in5	0	no	88	rmt_sig_out1	1'd1
89	rmt_sig_in6	0	no	89	rmt_sig_out2	1'd1
90	rmt_sig_in7	0	no	90	rmt_sig_out3	1'd1
91				91	rmt_sig_out4	1'd1
92				92	rmt_sig_out5	1'd1
93				93	rmt_sig_out6	1'd1
94				94	rmt_sig_out7	1'd1
95	I2CEXT1_SCL_in	1	no	95	I2CEXT1_SCL_out	1'd1
96	I2CEXT1_SDA_in	1	no	96	I2CEXT1_SDA_out	1'd1
97	host_card_detect_n_1	0	no	97	host_ccmd_od_pullup_en_n	1'd1
98	host_card_detect_n_2	0	no	98	host_rst_n_1	1'd1
99	host_card_write_prt_1	0	no	99	host_rst_n_2	1'd1
100	host_card_write_prt_2	0	no	100	gpio_sd0_out	1'd1
101	host_card_int_n_1	0	no	101	gpio_sd1_out	1'd1
102	host_card_int_n_2	0	no	102	gpio_sd2_out	1'd1
103	pwm1_sync0_in	0	no	103	gpio_sd3_out	1'd1
104	pwm1_sync1_in	0	no	104	gpio_sd4_out	1'd1
105	pwm1_sync2_in	0	no	105	gpio_sd5_out	1'd1
106	pwm1_f0_in	0	no	106	gpio_sd6_out	1'd1
107	pwm1_f1_in	0	no	107	gpio_sd7_out	1'd1
108	pwm1_f2_in	0	no	108	pwm1_out0a	1'd1
109	pwm0_cap0_in	0	no	109	pwm1_out0b	1'd1
110	pwm0_cap1_in	0	no	110	pwm1_out1a	1'd1
111	pwm0_cap2_in	0	no	111	pwm1_out1b	1'd1
112	pwm1_cap0_in	0	no	112	pwm1_out2a	1'd1
113	pwm1_cap1_in	0	no	113	pwm1_out2b	1'd1
114	pwm1_cap2_in	0	no	114	pwm2_out1h	1'd1
115	pwm2_fta	1	no	115	pwm2_out1l	1'd1
116	pwm2_ftb	1	no	116	pwm2_out2h	1'd1
117	pwm2_cap1_in	0	no	117	pwm2_out2l	1'd1
118	pwm2_cap2_in	0	no	118	pwm2_out3h	1'd1
119	pwm2_cap3_in	0	no	119	pwm2_out3l	1'd1
120	pwm3_fta	1	no	120	pwm2_out4h	1'd1
121	pwm3_ftb	1	no	121	pwm2_out4l	1'd1
122	pwm3_cap1_in	0	no	122		1'd1
123	pwm3_cap2_in	0	no	123		1'd1
124	pwm3_cap3_in	0	no	124		1'd1
140	I2S0I_DATA_in0	0	no	140	I2S0O_DATA_out0	1'd1
141	I2S0I_DATA_in1	0	no	141	I2S0O_DATA_out1	1'd1
142	I2S0I_DATA_in2	0	no	142	I2S0O_DATA_out2	1'd1
143	I2S0I_DATA_in3	0	no	143	I2S0O_DATA_out3	1'd1
144	I2S0I_DATA_in4	0	no	144	I2S0O_DATA_out4	1'd1
145	I2S0I_DATA_in5	0	no	145	I2S0O_DATA_out5	1'd1
146	I2S0I_DATA_in6	0	no	146	I2S0O_DATA_out6	1'd1
147	I2S0I_DATA_in7	0	no	147	I2S0O_DATA_out7	1'd1
148	I2S0I_DATA_in8	0	no	148	I2S0O_DATA_out8	1'd1
149	I2S0I_DATA_in9	0	no	149	I2S0O_DATA_out9	1'd1
150	I2S0I_DATA_in10	0	no	150	I2S0O_DATA_out10	1'd1
151	I2S0I_DATA_in11	0	no	151	I2S0O_DATA_out11	1'd1
152	I2S0I_DATA_in12	0	no	152	I2S0O_DATA_out12	1'd1
153	I2S0I_DATA_in13	0	no	153	I2S0O_DATA_out13	1'd1
154	I2S0I_DATA_in14	0	no	154	I2S0O_DATA_out14	1'd1
155	I2S0I_DATA_in15	0	no	155	I2S0O_DATA_out15	1'd1
156				156	I2S0O_DATA_out16	1'd1
157				157	I2S0O_DATA_out17	1'd1
158				158	I2S0O_DATA_out18	1'd1
159				159	I2S0O_DATA_out19	1'd1
160				160	I2S0O_DATA_out20	1'd1
161				161	I2S0O_DATA_out21	1'd1
162				162	I2S0O_DATA_out22	1'd1
163				163	I2S0O_DATA_out23	1'd1
164	I2S1I_BCK_in	0	no	164	I2S1I_BCK_out	1'd1
165	I2S1I_WS_in	0	no	165	I2S1I_WS_out	1'd1
166	I2S1I_DATA_in0	0	no	166	I2S1O_DATA_out0	1'd1
167	I2S1I_DATA_in1	0	no	167	I2S1O_DATA_out1	1'd1
168	I2S1I_DATA_in2	0	no	168	I2S1O_DATA_out2	1'd1
169	I2S1I_DATA_in3	0	no	169	I2S1O_DATA_out3	1'd1
170	I2S1I_DATA_in4	0	no	170	I2S1O_DATA_out4	1'd1
171	I2S1I_DATA_in5	0	no	171	I2S1O_DATA_out5	1'd1
172	I2S1I_DATA_in6	0	no	172	I2S1O_DATA_out6	1'd1
173	I2S1I_DATA_in7	0	no	173	I2S1O_DATA_out7	1'd1
174	I2S1I_DATA_in8	0	no	174	I2S1O_DATA_out8	1'd1
175	I2S1I_DATA_in9	0	no	175	I2S1O_DATA_out9	1'd1
176	I2S1I_DATA_in10	0	no	176	I2S1O_DATA_out10	1'd1
177	I2S1I_DATA_in11	0	no	177	I2S1O_DATA_out11	1'd1
178	I2S1I_DATA_in12	0	no	178	I2S1O_DATA_out12	1'd1
179	I2S1I_DATA_in13	0	no	179	I2S1O_DATA_out13	1'd1

Signal No.	Input Signals	Default value if unassigned	The same input signal from IO_MUX Core	Signal No.	Output Signals	Output enable of output signals
180	I2S1I_DATA_in14	0	no	180	I2S1O_DATA_out14	1'd1
181	I2S1I_DATA_in15	0	no	181	I2S1O_DATA_out15	1'd1
182				182	I2S1O_DATA_out16	1'd1
183				183	I2S1O_DATA_out17	1'd1
184				184	I2S1O_DATA_out18	1'd1
185				185	I2S1O_DATA_out19	1'd1
186				186	I2S1O_DATA_out20	1'd1
187				187	I2S1O_DATA_out21	1'd1
188				188	I2S1O_DATA_out22	1'd1
189				189	I2S1O_DATA_out23	1'd1
190	I2S0I_H_SYNC	0	no	190	pwm3_out1h	1'd1
191	I2S0I_V_SYNC	0	no	191	pwm3_out1l	1'd1
192	I2S0I_H_ENABLE	0	no	192	pwm3_out2h	1'd1
193	I2S1I_H_SYNC	0	no	193	pwm3_out2l	1'd1
194	I2S1I_V_SYNC	0	no	194	pwm3_out3h	1'd1
195	I2S1I_H_ENABLE	0	no	195	pwm3_out3l	1'd1
196				196	pwm3_out4h	1'd1
197				197	pwm3_out4l	1'd1
198	U2RXD_in	0	yes	198	U2TXD_out	1'd1
199	U2CTS_in	0	yes	199	U2RTS_out	1'd1
200	emac_mdc_i	0	no	200	emac_mdc_o	emac_mdc_oe
201	emac_mdi_i	0	no	201	emac_mdo_o	emac_mdo_o_e
202	emac_crs_i	0	no	202	emac_crs_o	emac_crs_oe
203	emac_col_i	0	no	203	emac_col_o	emac_col_oe
204	pcmfsync_in	0	no	204	bt_audio0_irq	1'd1
205	pcmclock_in	0	no	205	bt_audio1_irq	1'd1
206	pcmdin	0	no	206	bt_audio2_irq	1'd1
207				207	ble_audio0_irq	1'd1
208				208	ble_audio1_irq	1'd1
209				209	ble_audio2_irq	1'd1
210				210	pcmfsync_out	pcmfsync_en
211				211	pcmclock_out	pcmclock_en
212				212	pcmdout	pcmdout_en
213				213	ble_audio_sync0_p	1'd1
214				214	ble_audio_sync1_p	1'd1
215				215	ble_audio_sync2_p	1'd1
224				224	sig_in_func224	1'd1
225				225	sig_in_func225	1'd1
226				226	sig_in_func226	1'd1
227				227	sig_in_func227	1'd1
228				228	sig_in_func228	1'd1



## Strapping 管脚

内置 LDO (VDD_SDIO) 电压					
管脚	默认	3.3V		1.8V	
MTDI	下拉	0		1	
系统启动模式					
管脚	默认	SPI Flash 启动模式		下载启动模式	
GPIO0	上拉	1		0	
GPIO2	下拉	无关项		0	
系统启动过程中, U0TXD 输出 log 打印信息					
管脚	默认	U0TXD 翻转		U0TXD 静止	
MTDO	上拉	1		0	
SDIO 从机信号输入输出时序					
管脚	默认	下降沿输入 下降沿输出	下降沿输入 上升沿输出	上升沿输入 下降沿输出	上升沿输入 上升沿输出
MTDO	上拉	0	0	1	1
GPIO5	上拉	0	1	0	1
<b>说明:</b> 固件可以通过配置一些寄存器比特位, 在启动后改变“内置 LDO (VDD_SDIO) 电压”和“SDIO 从机信号输入输出时序”的设定。					